

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)
OSADA et al.)
Application Number: To be Assigned)
Filed: Concurrently Herewith)
For: SEMICONDUCTOR DEVICE)
ATTORNEY DOCKET NO. NITT.0165)

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

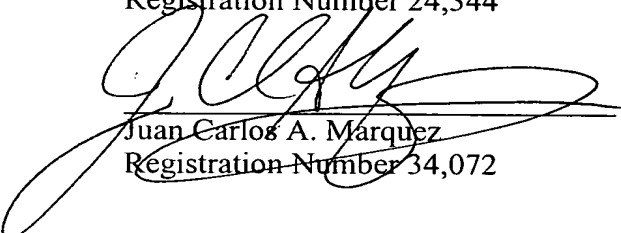
Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of December 27, 2002, the filing date of the corresponding Japanese patent application 2002-378947.

A certified copy of Japanese patent application 2002-378947 is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

Stanley P. Fisher
Registration Number 24,344



Juan Carlos A. Marquez
Registration Number 34,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
December 8, 2003

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application : December 27 , 2002
Application Number : Patent Application No. 2002-378947
Applicant (s) : Renesas Technology Corp.
Hitachi ULSI Systems Co., Ltd.

Dated this 28th day of November, 2003

Yasuo IMAI
Commissioner,
Patent Office

Certificate No. 2003-3098609



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 2 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 7 8 9 4 7
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 7 8 9 4 7]

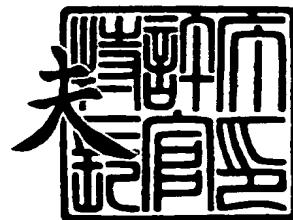
出 願 人
Applicant(s): 株式会社ルネサステクノロジ
 株式会社日立超エル・エス・アイ・システムズ



2 0 0 3 年 1 1 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 8 6 0 9

【書類名】 特許願

【整理番号】 H02018511A

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 29/00 631
H01L 29/732
H01L 27/10 371

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

【氏名】 長田 健一

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

【氏名】 河原 尊之

【発明者】

【住所又は居所】 埼玉県比企郡鳩山町赤沼 2 5 2 0 番地 株式会社日立製作所基礎研究所内

【氏名】 山口 憲

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所半導体グループ内

【氏名】 斉藤 良和

【発明者】

【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立超エル・エス・アイ・システムズ内

【氏名】 北井 直樹

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社 日立超エル・エス・アイ・システムズ

【代理人】

【識別番号】 100075096

【弁理士】

【氏名又は名称】 作田 康夫

【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

複数のワード線と複数のビット線との交点に設けられた複数のメモリセルと、
前記複数のビット線に接続されたセンスアンプ回路とライトアンプ回路と、
エラー訂正回路と、
書き込みデータを保存する回路と、
上記書き込みデータに対応するアドレスを保存する回路とを具備し、
メモリセルへデータの書き込み動作は対応するアドレスの次の書き込み動作のアドレスが入力されてから行われることを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置はさらに、前記センスアンプ回路と前記エラー訂正回路を結ぶ第 1 データバスと、前記ライトアンプ回路と前記エラー訂正回路を結ぶ第 2 データバスとを有することを特徴とする半導体装置。

【請求項 3】

請求項 2 に記載の半導体装置は更にパリティ生成回路とを具備し、
前記第 2 データバスは、前記書き込みデータを保持する回路と前記パリティ生成回路を経路に含むことを特徴とする半導体装置。

【請求項 4】

請求項 1 に記載の半導体装置において、
前記センスアンプ回路はラッチ型センスアンプであって、
第 1 書き込みアドレスが入力された後に第 2 書き込みアドレスが入力された場合に、第 2 書き込みアドレスがデコードされる前に前記第 1 アドレスに対応するメモリセルのデータが前記センスアンプ回路に読み出される動作と、そのデータを元にパリティが生成され前記書き込みデータを保持する回路に保持される動作とが行われ、
第 2 書き込みアドレスがデコードされ、前記第 2 書き込みアドレスに対応するメモリセルのデータが前記センスアンプ回路に保持された後に、前記書き込みデー

タを保持する回路に保持されたデータが前記第1アドレスに対応するメモリセルに書き込まれることを特徴とする半導体装置。

【請求項5】

請求項1に記載の半導体装置において、

前記書き込みデータを保持する回路は2つ以上の書き込みデータを保持する容量を持ち、

前記アドレスを保持する回路は2つ以上のアドレスを保持する容量を持つことを特徴とする半導体装置。

【請求項6】

請求項5に記載の半導体装置はさらに、前記アドレスを保持する回路に保持されたアドレスと半導体装置に入力されたアドレスとを比較する比較回路とを有することを特徴とする半導体装置。

【請求項7】

請求項6に記載の半導体装置はさらにデータ入出力パッドを有し、

前記アドレスの比較はアドレスの一部のビットのみを比較対象とし、

前記半導体装置に入力されたアドレスが読み出し動作のためアドレスである場合に、前記アドレスの比較結果が一致している場合は前記書き込みデータを保持する回路に保持されたデータを前記データ入出力パッドへ出力し、

前記アドレスの比較結果が一致していない場合はアドレスに対応するメモリセルのデータを読み出し、前記エラー訂正回路を経由して前記データ入出力パッドへデータを出力することを特徴とする半導体記憶装置。

【請求項8】

請求項1に記載の半導体装置において、該データを保持する回路内のトランジスタサイズが、該メモリセルで使用するトランジスタサイズより大きいことを特徴とする半導体装置。

【請求項9】

請求項1に記載の半導体装置において、

前記複数のメモリセルはSRAMメモリセルであることを特徴とする半導体装置

。

【請求項 10】

エラー訂正回路と、
複数のワード線と複数のビット線との交点に設けられた複数のメモリセルを具備するメモリアレイとを有し、
前記複数のメモリセルのそれぞれは、第1導電型MISFETと第2導電型MISFETを複数有し、前記第1導電型のMISFETは半導体基板内に拡散層が形成され、前記第2導電型MISFETは半導体基板上に形成されたMISFETであり、
上記メモリアレイ内には第1方向に延在するウエル給電領域が複数第2方向に第1間隔で形成され、
上記複数のウエル給電領域のうち、隣接する2つのウエル給電領域に挟まれたメモリセルを前記エラー訂正回路に同時に読み出さないことを特徴とする半導体記憶装置。

【請求項 11】

前記メモリアレイは複数のブロックに分割され、各ブロックは2つのウエル給電領域に挟まれ、

書き込みデータを生成する際のメモリセルから前記エラー訂正回路へデータを読み出すときのアドレスは、ブロック内のメモリセルでは異なるアドレスを割り付けることを特徴とする請求項10に記載の半導体装置。

【請求項 12】

前記複数のワード線は第2方向に延在し、

前記複数のビット線は前記第1方向に延在し、

前記メモリセルは、Pチャネル型の第1と第2MISFETと、Nチャネル型の第3、第4、MISFETとを具備し、前記第3MISFETのドレインと前記第4MISFETのゲートは接続され、前記第4MISFETのゲートと前記第3MISFETのドレインは接続され、前記第1MISFETのソース・ドレイン経路は前記ビット線と第3MISFETのドレインとの間に接続され、前記第2MISFETのソース・ドレイン経路は前記ビット線と対をなすビット線と第4MISFETのドレインとの間に接続され、

前記第 1 と第 2 MISFET は基板上に形成された縦型 MISFET であることを特徴とする請求項 10 に記載の半導体装置。

【請求項 13】

エラー訂正回路と、
複数のワード線と複数のビット線との交点に設けられた複数のメモリセルを具備するメモリアレイとを有し、

前記複数のワード線は第 2 方向に延在し、

前記複数のビット線は前記第 1 方向に延在し、

前記複数のメモリセルのそれぞれは、Pチャネル型の第 1 と第 2 MISFET と、Nチャネル型の第 3、第 4、第 5 と第 6 MISFET とを具備し、前記第 1 と第 3 MISFET のドレインと前記第 2 と第 4 MISFET のゲートは接続され、前記第 1 と第 3 MISFET のゲートと前記第 2 と第 4 MISFET のドレインは接続され、前記第 5 MISFET のソース・ドレイン経路は前記ビット線と第 3 MISFET のドレインとの間に接続され、前記第 6 MISFET のソース・ドレイン経路は前記ビット線と対をなすビット線と第 4 MISFET のドレインとの間に接続され、前記第 3 乃至第 6 MISFET は同じ P 型ウエルに拡散層が形成され、

上記メモリアレイ内には第 1 方向に延在するウエル給電領域が複数第 2 方向に第 1 間隔で形成され、

上記複数のウエル給電領域のうち、隣接する 2 つのウエル給電領域に挟まれ、同一のワード線に接続されたメモリセルを前記エラー訂正回路に同時に読み出さないことを特徴とする半導体記憶装置。

【請求項 14】

前記メモリアレイは複数のブロックに分割され、各ブロックは 2 つのウエル給電領域に挟まれ、

書き込みデータを生成する際のメモリセルから前記エラー訂正回路へデータを読み出すときのアドレスは、ブロック内の同じワード線に接続されたメモリセルでは異なるアドレスを割り付けることあることを特徴とする請求項 13 に記載の半導体装置。

【請求項 15】

前記ウエル給電領域は給電するウエルと同導電型で不純物濃度が濃い半導体領域であることを特徴とする請求項 10 に記載の半導体装置。

【請求項 16】

エラー訂正回路と、

第 1 方向に延在する複数のワード線と、

第 2 方向に延在する複数のビット線と、

前記複数のワード線と前記複数のビット線との間に設けられた複数のメモリセルとを具備するメモリセルアレイとを有し、

前記複数のメモリセルのそれぞれは、Pチャネル型の第 1 と第 2 MISFET と、Nチャネル型の第 3、第 4、第 5 と第 6 MISFET とを具備し、前記第 1 と第 3 MISFET のドレインと前記第 2 と第 4 MISFET のゲートは接続され、前記第 1 と第 3 MISFET のゲートと前記第 2 と第 4 MISFET のドレインは接続され、前記第 5 MISFET のソース・ドレイン経路は前記ビット線と第 3 MISFET のドレインとの間に接続され、前記第 6 MISFET のソース・ドレイン経路は前記ビット線と対をなすビット線と第 4 MISFET のドレインとの間に接続され、前記第 3 乃至第 6 MISFET は同じ P 型ウエルに拡散層が形成され、

前記第 3 と第 5 MISFET の拡散層が形成される P 型第 1 ウエルと、前記第 4 と第 6 MISFET の拡散層が形成される P 型第 2 ウエルとは第 1 と第 2 MISFET が形成される N 型第 3 ウエルにより分離され、前記第 1 ウエルと前記第 3 ウエルとの境界線は前記第 2 方向となり、

前記メモリアレイ内には前記第 1 方向に延在するウエル給電領域が複数設けられることを特徴とする半導体記憶装置。

【請求項 17】

前記ウエル給電領域は給電するウエルと同導電型で不純物濃度が濃い半導体領域であり、前記ウエル給電領域は第 2 方向に第 1 間隔をもって形成されることを特徴とする請求項 16 に記載の半導体装置。

【請求項 18】

前記メモリセル内には容量が付加されることを特徴とする請求項 17 に記載の半導体装置。

【請求項 1 9】

前記メモリセルへの書きこみ動作はレイトライト方式が用いられることを特徴とする請求項 1 7 に記載の半導体装置。

【発明の詳細な説明】**【0 0 0 1】****【発明の属する技術分野】**

本発明は、半導体装置、特に S R A M (static random access memory) メモリセルを搭載したオンチップメモリに関する。

【0 0 0 2】**【従来の技術】**

特許文献 1 には、通常のデータにパリティビットを加えることにより、不良ビットを訂正する回路技術が開示されている。

特許文献 2 では、同一パリティビットを持つデータの一部を書き変える回路技術が開示されている。

【特許文献 1】

特開平 7 - 4 5 0 9 6 号公報

【特許文献 2】

特開昭 6 1 - 5 0 2 9 5 号公報

【0 0 0 3】**【発明が解決しようとする課題】**

メモリセルに印加される電圧が低下し、セルサイズが縮小するに伴い、ソフトエラー耐性の劣化が問題となっている。このようなデータエラーを訂正するには E C C (Error Correct Codes) 回路を用いることが有効であるが、6 4 ビットのデータ毎に 8 ビットのパリティが割り当てられた場合に、1 6 ビットのデータのみを書きかえる場合には、6 4 ビットデータおよび 8 ビットのパリティビットを読み出し、エラーを訂正した 6 4 ビットのデータの一部を 1 6 ビット書き込みデータと入れ替え、さらに 8 ビットのパリティビットを再生成して、再生成されたパリティビットと書き込みデータの書き込みを行なうため時間がかかり、サイクル時間の劣化を招いていた。また、ソフトエラーは宇宙線によっても

生じ、宇宙線によるソフトエラーはマルチセルエラーを引き起こす。通常 E C C 回路は 1 ビットのエラーしか訂正できないため E C C を用いてもソフトエラー耐性向上の効果が期待できない問題があった。

そこで、本願発明の第 1 課題は E C C 回路を用いた場合に書き込み時間を短縮してサイクル時間を小さくすることである。第 2 課題の課題は、宇宙線によるマルチセルエラーが生じた場合にも E C C でエラーを訂正できるようにすることである。

【0004】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

複数のメモリセルと、エラー訂正回路と、書き込みデータを保持する回路と、書き込みデータに対応するアドレスを保持する回路を具備し、書き込み動作をレイトライト方式で行なう半導体装置。実際の書き込みは次の書き込みアドレスが入力された後に行なうレイトライト方式を採用することにより、書き込みと並行して、エラー訂正、書き込みデータ生成、パリティビット生成の処理を行なうができ、サイクル時間を短縮することが可能となる。

また、エラー訂正回路において、隣接するウエル給電の間のメモリセルには同時にエラー訂正回路に読み出さないことを特徴とする半導体装置である。つまり、書き込みデータを形成する際にメモリセルからエラー訂正回路にデータを読み出すときのアドレスを隣接するウエル給電の間のメモリセルで全て変えることを特徴とする。更に、メモリセルアレイを複数のブロックに分け、その両端にウエル給電領域を形成し、書き込みデータを生成する際にエラー訂正回路に各ブロック内から 1 つのメモリセルずつのデータしか読み出せないようにアドレスを割り付ける構成をとることも可能である。

【0005】

【発明の実施の形態】

以下、本発明に係わる半導体記憶装置の好適ないくつかの事例につき、図面を用いて説明する。

〈実施例 1〉

図 1 は、本発明を S R A M に適用した場合の一実施例を示す回路図である。

半導体記憶装置である E C C 付き S R A M メモリ C H I P は、メモリアレイと直接周辺回路からなるアレイエリア 100 と、アドレス入力パッド A D D _ I O 、アドレスをラッチするラッチ回路 A - L a t c h 、 A D D - I O か、 A - L a t c h かどちらかのデータを選択してアレイエリア 100 に送るアドレス選択回路 A - S E L 、 A D D - I O のデータと A - L a t c h のデータを比較して一致しているかどうか検出する比較回路 C M P 、データ入出力用パッド D A T A _ I O 、アレイエリア 100 からのデータを選択し D A T A _ I O に送る選択回路 D - S E L 、 D - S E L と D A T A _ I O のデータを選択する D - S E L 1 、パリティを生成する回路 P A R I T Y より構成される。

アレイエリア 100 は、メモリセルがアレイ上に並べられている M E M _ A R R A Y 、ワードをデコードする D E C 、ビット線を増幅して読み出し、データを保持するセンスアンプ回路 S A 、書き込みデータをビット線に伝えるライトアンプ回路 W A 、カラムのプリチャージやカラム選択を行うカラム回路 B L O C K _ C O N T 、読み出したデータを修正するエラー訂正回路 E C C 、エラー訂正回路とセンスアンプ・ラッチ回路 S A を接続する読み出しデータバス R B U S 、データをラッチするデータ用ラッチ回路 D - L a t c h 、ラッチ回路 D - L a t c h とライトアンプ回路 W A を接続する書き込みデータバス W B U S 、カラム回路をコントロールするカラム制御回路 C O N T より構成される。センスアンプ回路とエラー訂正回路を結ぶ第 1 データバスと、ライトアンプ回路とエラー訂正回路を結ぶ第 2 データバスとは分離され、第 2 データバスは、書き込みデータを保持する回路と前記パリティ生成回路を経路に含んでいる。

書き込みデータを保持する回路 D - L a t c h は 2 つ以上の書き込みデータを保持する容量を持ち、アドレスを保持する回路 A - L a t c h は 2 つ以上のアドレスを保持する容量を持つことによりアドレスの比較を容易にすることができる。

【0006】

アドレスを保持する回路に保持されたアドレスと半導体装置に入力されたアドレスとを比較する比較回路では、アドレスの比較はアドレスの一部のビットのみ

を比較対象とし、半導体装置に入力されたアドレスが読み出し動作のためアドレスである場合に、アドレスの比較結果が一致している場合は書き込みデータを保持する回路に保持されたデータをデータ入出力パッドへ出力し、アドレスの比較結果が一致していない場合はアドレスに対応するメモリセルのデータを読み出し、エラー訂正回路を経由してデータ入出力パッドへデータを出力する。

続いてアレイエリア100について図2を用いて詳細に説明する。メモリアレイMEM_ARRAYは16ビットカラムで構成されるブロックBLOCKがワード線方向に並べられており、ブロックBLOCK間には、P型ウエル給電のための配線VBNが形成される。BLOCKにはカラム回路BLOCK__CONTがそれぞれ接続されており、BLOCK__CONTには、センスアンプ回路SA、ライトアンプ回路WAが接続される。センスアンプ回路SAより読み出されたデータは、RBUSを通過してエラー訂正回路ECCへ送られる。書き込みデータはラッチ回路D-LatchからWBUSを通過してライトアンプ回路WAへ送られる。また、BLOCK__CONT、SA、WAを制御するカラム制御回路CONT、ワードをデコードする回路DECが形成される。

ビット線(BL0、BB0)には、複数のメモリセルCELLが接続されており、たとえばメモリセルCELL0__0は、1対のCMOSインバータの入力と出力が互いに接続されて構成されるフリップ・フロップ(Pチャネル型MOSトランジスタ(MP1、MP2)、Nチャネル型トランジスタ(MN1、MN2)で構成される)と、前記フリップ・フロップの記憶ノードNL0と記憶ノードNR0とをビット線(BL0、BB0)に接続するNチャネル型MOSトランジスタ(MN3、MN4)とで構成される。Nチャネル型MOSトランジスタ(MN3、MN4)のゲート電極には、ワード線WL0が接続される。本実施例のエラー訂正回路を用いれば、ソフトエラーに対して強くなるが、更にソフトエラーに対する強度を強化するためにはメモリセル内に容量Cを設けてもよい。特に微細化のプロセスにおいては、電源プレートを利用した容量の付加ではなく、記憶ノード間に容量を配線容量のレイアウトを利用して設けることが有効である。以下続く、他の実施例においても同様である。Pチャネル型MOSトランジスタ(MP1、MP2)はN型ウエルに形成され、Nチャネル型トランジスタ(MN1、M

N2、MN3、MN4)はP型ウエルPWE L L上に形成される。N型ウエルとP型ウエルはLOCOS(Local Oxidation of Silicon)又はトレンチアイソレーション(Shallow Trench Isolation)からなるフィールド絶縁膜により絶縁が取られる。

BLOCK__CONT0はプリチャージ・ニコライズ回路(101、102)およびYスイッチ回路(103、104)より構成される。プリチャージ・ニコライズ回路(101、102)はビット線(BL、BB)をプリチャージおよびイコライズをするための回路であり、Pチャネルト型MOSトランジスタ(MP5、MP6、MP7)で構成される。Pチャネルト型MOSトランジスタ(MP5、MP6、MP7)のゲート電極にはイコライズ・プリチャージ回路制御信号PCEQが接続されている。

Yスイッチ回路103はビット線(BL0、BB0)とセンスアンプ回路SA0をつなぐPチャネル型MOSトランジスタ(MP11、MP12)とビット線(BL0、BB0)とライトアンプ回路WA0をつなぐNチャネル型MOSトランジスタ(MN9、MN10)からなり、制御信号(YSR0、YSW0)により制御される。

Yスイッチ回路104はビット線(BL15、BB15)とセンスアンプ回路SA0およびライトアンプ回路WAをつなぐ回路であり、制御信号(YSR15、YSW15)により制御される。

センスアンプ回路SA0は、Pチャネル型MOSトランジスタ(MP15、MP16)とNチャネル型MOSトランジスタ(MN13、MN14)からなるフリップフロップとセンスアンプを活性にするNチャネル型MOSトランジスタMN15からなるラッチ型センスアンプ回路と増幅したデータを送るインバータ回路(INV0、INV1)より構成される。MOSトランジスタMN15のゲート電極には、センスアンプ制御信号SEが接続されている。センスアンプ回路はクロスカップル接続を有するラッチ型センスアンプとすることにより、半導体装置のアドレス入力端子に入力されている書き込みアドレスの書き込みデータを生成するための動作と、その前に入力された書き込みアドレスのメモリセルへ書き込みデータを書き込む動作に並列処理することができる。実際の動作としては、第

1書き込みアドレスが入力された後に第2書き込みアドレスが入力された場合に、第2書き込みアドレスがデコードされる前に前記第1アドレスに対応するメモリセルのデータが前記センスアンプ回路に読み出される動作と、そのデータを元にパリティが生成され前記書き込みデータを保持する回路に保持される動作とが行われ、第2書き込みアドレスがデコードされ、前記第2書き込みアドレスに対応するメモリセルのデータが前記センスアンプ回路に保持された後に、前記書き込みデータを保持する回路に保持されたデータが前記第1アドレスに対応するメモリセルに書き込む。

ライトアンプ回路WA0は、インバータ回路(INV2、INV3)より構成される。

ラッチ回路(A-Latch、D-Latch)は、図3に示すフリップ・フロップ回路によって構成される。この回路は2つのデータ保持部を持ち、第1のデータ保持部は、Pチャネル型MOSトランジスタ(MP21、MP22)とNチャネル型MOSトランジスタ(MN21、MN22)からなるクロックドインバータとインバータINV12で構成され、第2のデータ保持部は、Pチャネル型MOSトランジスタ(MP23、MP24)とNチャネル型MOSトランジスタ(MN23、MN24)からなるクロックドインバータとインバータINV13で構成される。データを保持する回路内のトランジスタサイズは、メモリセルで使用するトランジスタサイズより大きく形成する。また、それ以外の回路として、入力データINを第1の保持部に転送するパストランジスタ回路(MN25、MP25)、第1の保持部と第2の保持部の間にはパストランジスタ回路(MN26、MP26)、クロック信号CKの反転信号を生成するインバータ回路INV11、第2のデータ保持部のデータを出力信号OUTに送るインバータ回路INV14より構成される。

次に動作を行う場合について図4、図5の動作波形を用いて説明する。

まず図4に示す動作について説明する。第1サイクルは、アドレスA0にデータD0を書き込む場合である。アドレス入力バッファADD-IOにアドレスA0が、データ入出力パッドDATA-IOに書き込みデータD0が入力され、書き込みを示す信号/WEがハイレベル‘H’からローレベル‘L’になって活性化

されると、書き込み動作が始まる。比較回路CMPで入力されたアドレスA0とアドレスラッチA-Latchのデータが比較され一致しない場合は、通常の読み出し動作が行われ、メモリアレイにアクセスされる。まず、アドレスA0の上位ビットに対応するメモリセルのデータ例えばD-1がセンスアンプSAに読み出されラッチされる。このデータは例えば、データ部64ビット、パリティ部8ビットで構成される72ビットのデータである。この72ビットのデータはエラー訂正回路ECCに送られ、エラーが訂正される。エラーが訂正されたデータの一部は、アドレスA0の下位ビットにより、データ選択回路D-SEL1でD0と入れ替えられ、書き込みデータD0'が生成される。データD0はたとえば16ビットのデータである。書き込みデータD0'は、パリティ生成回路で8ビットのパリティが生成され、データラッチD-Latchにデータが保持される。同時にアドレスA0もアドレスラッチA-Latchに保持される。第2サイクルでは、A0のデータを読み出す。アドレス入力パッドADD-IOにアドレスA0が入力され、信号/WEが'L'から'H'になって読み出しモードとなると、比較回路CMPで入力されたアドレスA0とアドレスラッチA-Latchのデータが比較され一致しない場合は、通常の読み出し動作が行われ、メモリアレイにアクセスされる。ただし、この場合は一致するので、通常の動作は行われず、データ用ラッチ回路DATA-IOにあるデータD0'の一部であるD0が選択回路D-SELによって選択されデータバッファDATA-IOへ送られ読み出しが終了する。第3サイクルは、アドレスA1にデータD1を書き込む場合である。アドレス入力バッファADD-IOにアドレスA1が、データ入出力パッドDATA-IOに書き込みデータD1が入力され、書き込みを示す信号/WEがハイレベル'H'からローレベル'L'になって活性化されると、書き込み動作が始まる。比較回路CMPで入力されたアドレスA1とアドレスラッチA-Latchのデータが比較され一致しないので、通常の読み出し動作が行われ、メモリアレイにアクセスされる。まず、アドレスA1の上位ビットに対応するメモリセルのデータ例えばD-2がセンスアンプSAに読み出されラッチされる。このデータは例えば、データ部64ビット、パリティ部8ビットで構成される72ビットのデータである。この72ビットのデータはエラー訂正回路ECC

Cに送られ、エラーが訂正される。エラーが訂正されたデータの一部は、アドレスA1の下位ビットにより、データ選択回路DSEL1でD1と入れ替えられ、書き込みデータD1'が生成される。データD1はたとえば16ビットのデータである。書き込みデータD1'は、パリティ生成回路で8ビットのパリティが生成され、データラッチD-Latchにデータが保持される。同時にアドレスA1もアドレスラッチA-Latchに保持される。また、この動作と並行して、アドレスラッチADD-LatchのアドレスA0に基づいて、データラッチD-LatchのデータD0'が対応するメモリセルA0 MEMに書き込まれる。このように実際の書き込みを次の書き込みで行うレイトライト方式を行うことにより、エラー訂正やパリティビット生成を書き込み動作と並行して同時に行うことができるため書き込みサイクルを短くすることが可能となる。

次に図5に示す動作について説明する。第1サイクルでは、アドレスA0のデータを読み出す。アドレス入力パッドADD-IOにアドレスA0が入力され、信号/WEが'L'から'H'になって読み出しモードとなると、比較回路CMPで入力されたアドレスA0とアドレスラッチA-Latchのデータが比較され一致しないので、通常の読み出し動作が行われ、メモリアレイにアクセスされる。アドレスA0に対応するメモリセルA0 MEMのデータD0が読み出され、センスアンプSAでラッチされて、エラー訂正回路ECCエラーが訂正され、データ入出力パッドDATA-IOへ送られ読み出しが終了する。第2サイクルは、アドレスA0にデータD1を書き込む場合である。アドレス入力パッドADD-IOにアドレスA0が、データ入出力パッドDATA-IOに書き込みデータD1が入力され、書き込みを示す信号/WEがハイレベル'H'からローレベル'L'になって活性化されると、書き込み動作が始まる。比較回路CMPで入力されたアドレスA0とアドレスラッチA-Latchのデータが比較され一致しないので、通常の読み出し動作が行われ、メモリアレイにアクセスされる。まず、アドレスA0の上位ビットに対応するメモリセルのデータ例えばD0がセンスアンプSAに読み出されラッチされる。このデータは例えば、データ部64ビット、パリティ部8ビットで構成される72ビットのデータである。この72ビットのデータはエラー訂正回路ECCに送られ、エラーが訂正される。エラーが

訂正されたデータの一部は、アドレス A 1 の下位ビットにより、データ選択回路 D-SEL 1 で D 1 と入れ替えられ、書き込みデータ D 1' が生成される。データ D 1 はたとえば 16 ビットのデータである。書き込みデータ D 1' は、パリティ生成回路で 8 ビットのパリティが生成され、データラッチ D-Latch にデータが保持される。同時にアドレス A 0 もアドレスラッチ A-Latch に保持される。第 3 サイクルは、アドレス A 1 にデータ D 2 を書き込む場合である。アドレス入力パッド ADD-IO にアドレス A 1 が、データ入出力パッド DATA-IO に書き込みデータ D 2 が入力され、書き込みを示す信号 /WE がハイレベル 'H' からローレベル 'L' になって活性化されると、書き込み動作が始まる。比較回路 CMP で入力されたアドレス A 0 とアドレスラッチ A-Latch のデータが比較され一致しない場合は、通常の読み出し動作が行われるが、この場合は一致するので、通常の動作は行われず、データラッチ D-Latch にあるデータ D 1' が選択回路 D-SEL によって選択される。このデータは例えば、データ部 64 ビット、パリティ部 8 ビットで構成される 72 ビットのデータである。データの一部は、アドレス A 1 の下位ビットにより、データ選択回路 D-SEL 1 で D 2 と入れ替えられ、書き込みデータ D 2' が生成される。データ D 2 はたとえば 16 ビットのデータである。書き込みデータ D 2' は、パリティ生成回路で 8 ビットのパリティが生成され、データラッチ D-Latch にデータが保持される。同時にアドレス A 0 もアドレスラッチ A-Latch に保持される。またこれと並行して、アドレスラッチ A-Latch のアドレス A 0 に基づいて、データラッチ D-Latch のデータ D 1' が対応するメモリセル A 0 MEM に書き込まれる。このように実際の書き込みを次の書き込みで行うレイトライト方式で行うことにより、エラー訂正やパリティビット生成を書き込み動作と平行して同時に行うことができるため書き込みサイクルを短くすることが可能となる。

また、本方式は、SRAM だけでなく、フラッシュメモリや DRAM、強誘電体メモリ (Ferroelectric-RAM)、MRAM (Magnetic-RAM)、PRAM (Phase change-RAM) 等にも適用可能である。

〈実施例 2〉

実施例 1 で示した回路のアレイエリア 100 は、図 7 に示すようなレイアウトにすることができる。図 6 にはレイアウト層を定義している。レイアウトの左側には、デコーダ回路 DEC が、下側にはカラム回路 BLOCK__CONT が配置される。中心のメモリアレイ MEM__ARRAY 部には、メモリセルがアレイ状に配置され、ワード線が横方向に、ビット線が縦方向に形成される。P 型ウエル P W E L L と N 型ウエル N W E L L が横方向に交互に形成される。ウエル給電領域は給電するウエルと同導電型で不純物濃度が濃い半導体領域であり、ウエル給電領域はビット線と同方向に延在し、ワード線と同方向に所定の間隔をもって形成される。P 型ウエル P W E L L 給電はウエル給電コンタクト W E L L C N T を用いて第 2 の配線層で形成される配線 V B N に接続される。N 型ウエル N W E L L 給電はウエル給電コンタクト W E L L C N T を用いて第 2 の配線層で形成される配線 V B P に接続される。ウエル給電配線 (V B P、V B N) は、例えばメモリセル 16 ビットカラム毎に B L O C K の間に縦方向に形成される。メモリアレイを複数のブロックに分割し、各ブロックは 2 つのウエル給電領域に挟み、書き込みデータを生成する際のメモリセルからエラー訂正回路へデータを読み出すときのアドレスは、ブロック内のメモリセルでは異なるアドレスを割り付けることにより、効率的に隣接する複数のメモリセルに生じるマルチビットエラーを防ぐことが可能となる。図 8、図 9 にはメモリアレイ左上 3 ビットカラム x 3 ビットローのレイアウト図を示している。また、図 10、図 11 には A-A' および B-B' の断面図が示されている。つまり、複数のワード線と複数のビット線との交点に設けられた複数のメモリセルを具備するメモリアレイとを有し、複数のメモリセルのそれぞれは、Pチャネル型の第 1 と第 2 MISFET と、Nチャネル型の第 3、第 4、第 5 と第 6 MISFET とを具備し、第 1 と第 3 MISFET のドレインと第 2 と第 4 MISFET のゲートは接続され、第 1 と第 3 MISFET のゲートと第 2 と第 4 MISFET のドレインは接続され、第 5 M I S F E T のソース・ドレイン経路はビット線と第 3 M I S F E T のドレインとの間に接続され、第 6 M I S F E T のソース・ドレイン経路はビット線と対をなすビット線と第 4 M I S F E T のドレインとの間に接続され、第 3 乃至第 6 MISFET は同じ P 型ウエルに拡散層が形成され、第 1 と第 2 M

ISFETはN型ウエルに拡散層が形成されている。本構成において、ウエル給電領域のうち、隣接する2つのウエル給電領域に挟まれ、同一のワード線に接続されたメモリセルを前記エラー訂正回路に同時に読み出さない。通常宇宙線によるマルチセルエラーはバイポーラ動作によりウエル給電とウエル給電の間で生じる。実施例1および2に示す構成とすることにより、ウエル給電間のメモリセルではエラー訂正回路に同時に1ビットしか読み出さないため、バイポーラ動作によるマルチビットフェイルが生じて、同時に読み出すビットは1ビットしかエラーとならないため、1ビットエラーしか同時にエラー訂正できないエラー訂正回路ECCでも、エラー訂正ができソフトエラー耐性を高めることが可能となる。

また、ウエル給電間隔とウエル給電間に生じるマルチセルエラーの最大数には、図12に示すような関係が知られている。したがって、ウエル間で同時に1ビットしか読まない代わりに、例えば16ビット間隔でウエル給電がなされた場合は、3ビットより離して同時に読めば、この場合も同時に読み出したデータは1ビットしかエラーとならずECC回路での訂正が可能となり信頼性を高めることができる。

〈実施例3〉

実施例1で示したアレイエリア100は、図13に示すアレイエリア200のようにすることも可能である。メモリセル2カラム×4ロー分のレイアウトを図14、図15に、また、図16、図17にはA-A'およびB-B'の断面図が示されている。実施例3に示すメモリセルは実施例1、2で示したメモリセルとウエル方向が横方向でなく縦である点が異なる。ウエル給電(VBN、VBP)はワード線と同一方向に形成される。従って同一ウエルでは、ワードが異なるため、自動的に同一ウエルから同時に1ビットのみ読み出すことになり、マルチエラーが同一ウエルで生じてもエラー訂正回路でエラーが訂正できる。この場合のアレイ構成は図13に示すように、例えば2カラムのメモリセルCELLで1つのセンスアンプ回路SA、ライトアンプ回路WAを共有する構成とすることが有効である。

〈実施例4〉

実施例1、2で示した実施例は、図18に示すような4つのトランジスタで構成

される 4 トランジスタ SRAM メモリセル 4 TCELL とすることも可能である。N チャネル型 MOS トランジスタ (MN51、MN52) および P チャネル型 MOS トランジスタ (MP51、MP52) で構成される。P チャネル型 MOS トランジスタは転送 MOS 及び負荷 MOS の働きを 4 つの トランジスタ SRAM では行なう。レイアウト図を図 19、20 に、また、図 21、図 22 には A-A' および B-B' の断面図が示されている。P チャネル型 MOS トランジスタ (MP51、MP52) は、拡散層が半導体基板内に p-n 接合を形成する、いわゆる通常の CMOS プロセスを用いてもよいが、チップ面積を低減するために、図 19-22 に示した、基板上に形成された縦型 MOSFET を用いることが有効である。縦型 P チャネル型 MOS トランジスタ (MP51、MP52) は、下部半導体層 (ドレイン) PD、中間半導体層 PB、上部半導体層 (ソース) PS を積層した四角柱状の積層体 SV と、この積層体 SV の側壁にゲート絶縁膜 SIO を介して生成されたゲート電極 SVG で構成される。基板上のメモリセルウエルはすべて P 型となる。したがって、マルチセルエラーが生じた場合に、効率よくエラー訂正回路 ECC を使用する場合に、ウエル給電はビット線方向に形成し、ウエル給電間ではエラー訂正回路に同時に 1 ビットのみ読み出すことが望ましい。本実施例では、4 TCELL SRAM の例を挙げたが、実施例 1 の SRAM メモリセルにおいて、P チャネル型で形成される MOS トランジスタを縦型 MISFET で基板上に形成し、N チャネル型で形成される MOSFET をその拡散層が半導体基板内に形成する場合においても適用できる。つまり、第 1 導電型 MOS トランジスタを基板上の トランジスタ、第 2 導電型 MOS トランジスタを基板内に形成するメモリセルに有効である。尚、MOS トランジスタと記載したものについては、絶縁膜が酸化膜に限らない MISFET としてもいい。

【0007】

【発明の効果】

本発明によれば、書き込み速度を速くし、ソフトエラー等によるエラー訂正を効率よくする事ができる。

【図面の簡単な説明】

【図 1】

実施例 1 に係わる半導体装置集積回路の概略図。

【図 2】

実施例 1 に係わる半導体装置集積回路の回路図。

【図 3】

実施例 1 に係わる半導体装置集積回路の回路図。

【図 4】

実施例 1 に係わる半導体装置集積回路の動作波形。

【図 5】

実施例 1 に係わる半導体装置集積回路の動作波形。

【図 6】

実施例 2 に係わる半導体装置集積回路のレイアウト層説明。

【図 7】

実施例 2 に係わる半導体装置集積回路のレイアウト図。

【図 8】

実施例 2 に係わる半導体装置集積回路のレイアウト図。

【図 9】

実施例 2 に係わる半導体装置集積回路のレイアウト図。

【図 1 0】

実施例 2 に係わる半導体装置集積回路のレイアウト図。

【図 1 1】

実施例 2 に係わる半導体装置集積回路のレイアウト図。

【図 1 2】

実施例 2 に係わるウエル給電間隔とマルチセルエラー最大数の関係。

【図 1 3】

実施例 3 に係わる半導体装置集積回路の回路図。

【図 1 4】

実施例 3 に係わる半導体装置集積回路のレイアウト図。

【図 1 5】

実施例 3 に係わる半導体装置集積回路のレイアウト図。

【図 16】

実施例 3 に係わる半導体装置集積回路のレイアウト図。

【図 17】

実施例 3 に係わる半導体装置集積回路のレイアウト図。

【図 18】

実施例 4 に係わる半導体装置集積回路のメモリセル回路図。

【図 19】

実施例 4 に係わる半導体装置集積回路のレイアウト図。

【図 20】

実施例 4 に係わる半導体装置集積回路のレイアウト図。

【図 21】

実施例 4 に係わる半導体装置集積回路のレイアウト図。

【図 22】

実施例 4 に係わる半導体装置集積回路のレイアウト図。

【符号の説明】

100、200……アレイエリア
101、102、201、202……イコライズ・プリチャージ回路
103、104、203、204……Yスイッチ回路
4TCELL……4トランジスタSRAMメモリセル
ADD-IO……アドレス入力パッド
A-Latch……アドレス用ラッチ回路
A-SEL……アドレス選択回路
BB, BL……データ線
BLOCK……メモリブロック
BLOCK_CONT……カラム回路
C……付加容量
CELL……SRAMメモリセル
CHIP……半導体集積回路
CK……クロック信号

CMP……比較回路
CONT……カラム制御回路
DATA-I/O……データ入出力パッド
DEC……デコーダ回路
D-Latch……データ用ラッチ回路
D-SEL……データ選択回路
ECC……エラー訂正回路
IN……入力データ
INV……インバータ回路
Latch……ラッチ回路
MEM_ARRAY……メモリアレイ
MN……Nチャネル型MOSトランジスタ
MP……Pチャネル型MOSトランジスタ
NL、NR……接続ノード
NWELL……N型ウエル
OUT……出力データ
PARITY……パリティ生成回路
PB……中間半導体層
PCEQ……イコライズ・プリチャージ回路制御信号
PD……ドレイン
PS……ソース
PWELL……P型ウエル
RBUS……読み出しデータバス
SA……センスアンプ回路
SE……センスアンプ制御信号
SIO……ゲート絶縁膜
SL、SB……センスアンプ出力信号
VBN……Pウエル給電
VBP……Nウエル給電

VDD……電源電位

VSS……接地電位

WA……ライトアンプ回路

WBUS……書き込みデータバス

WE、／WE……書き込み選択信号

WELLCNT……ウエル給電

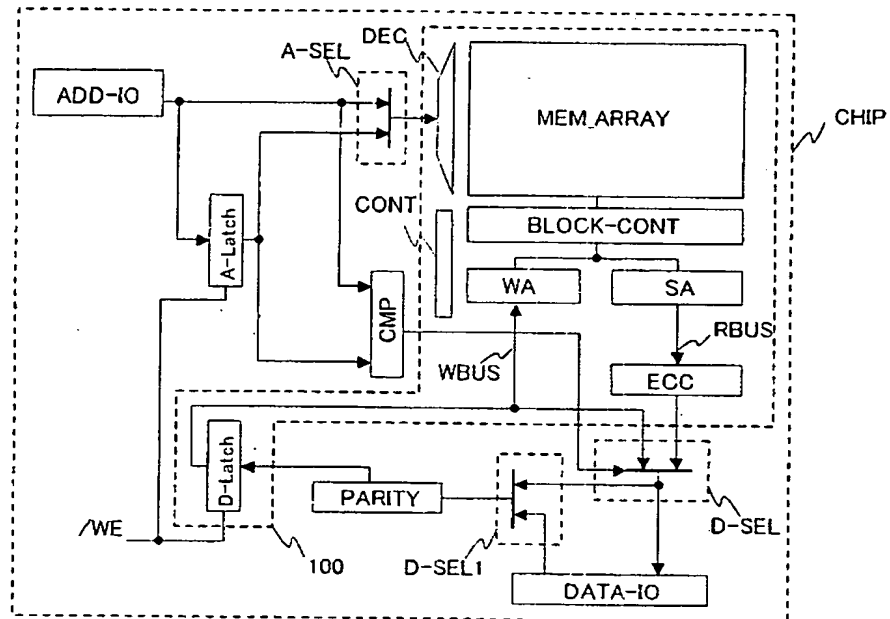
WL……ワード線

YSR、YSW……Yスイッチ制御信号。

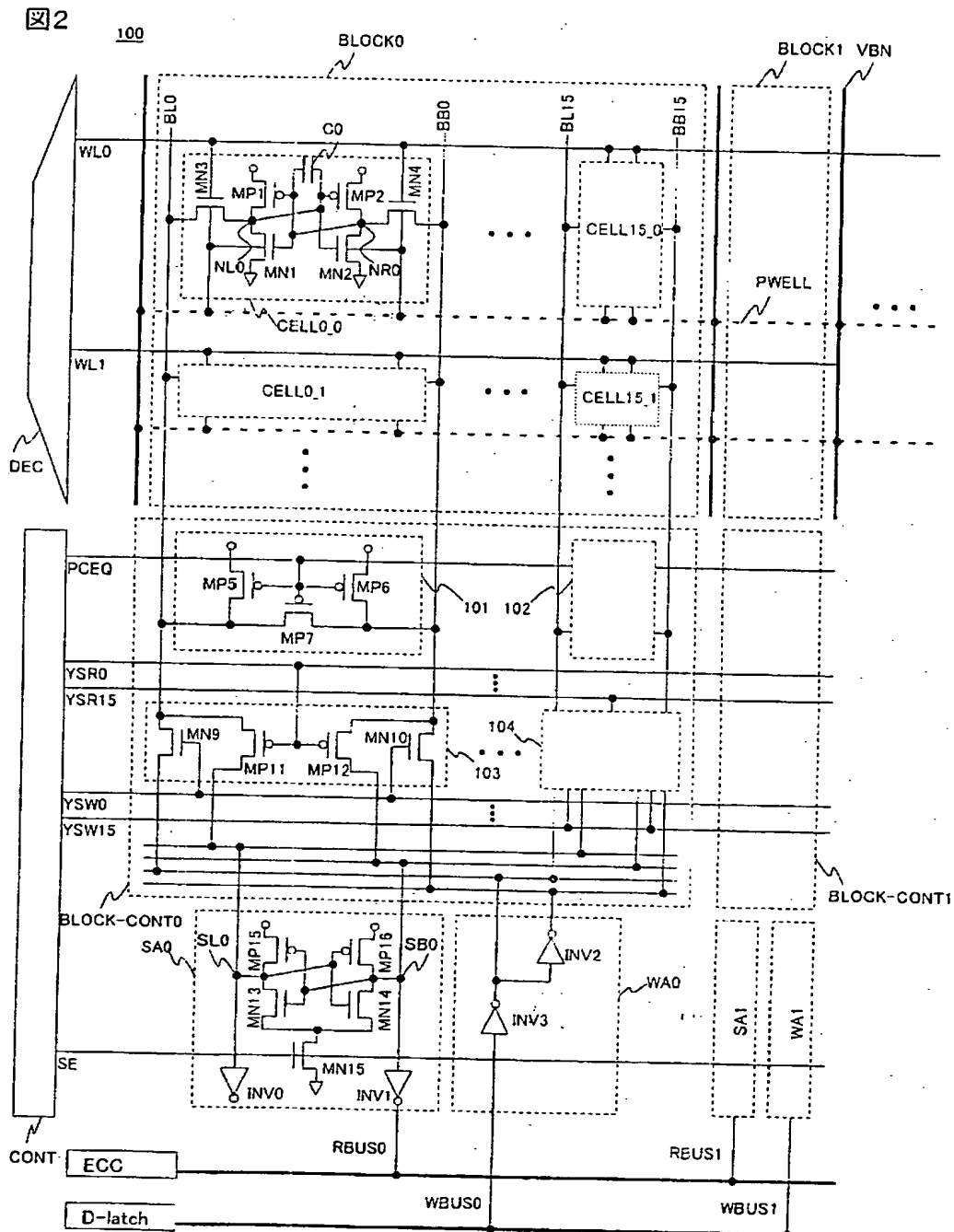
【書類名】 図面

【図 1】

図 1

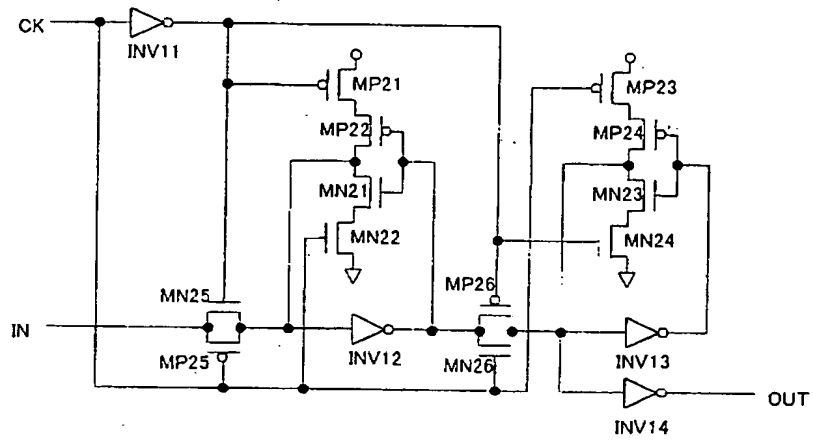


【図 2】

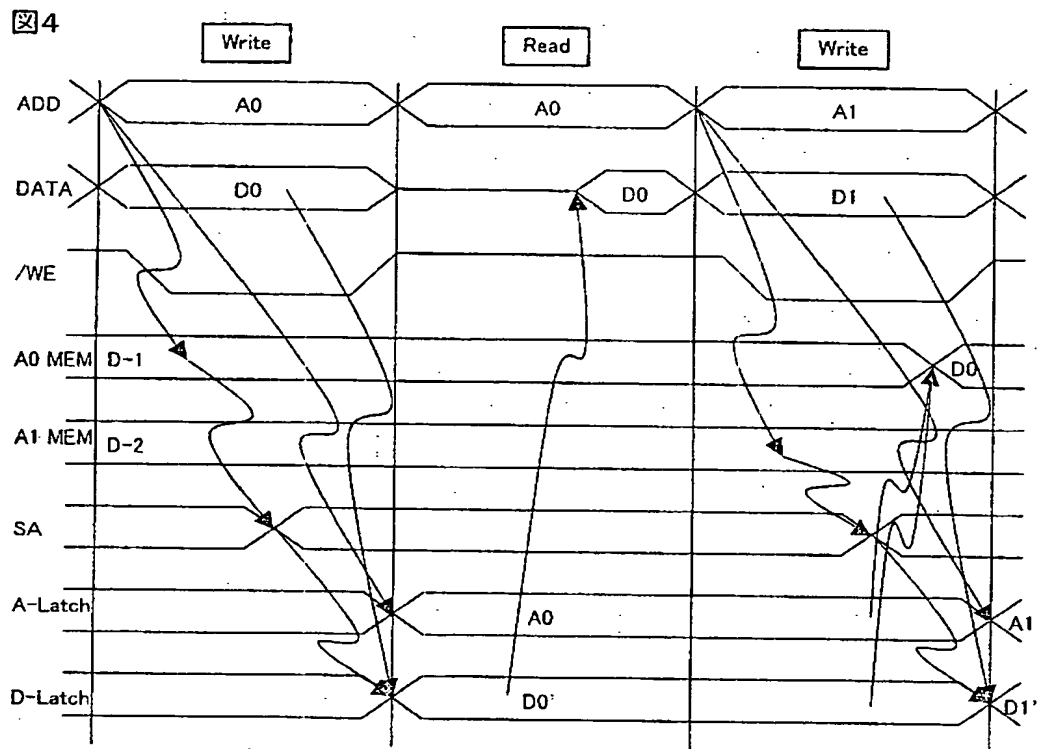


【図 3】

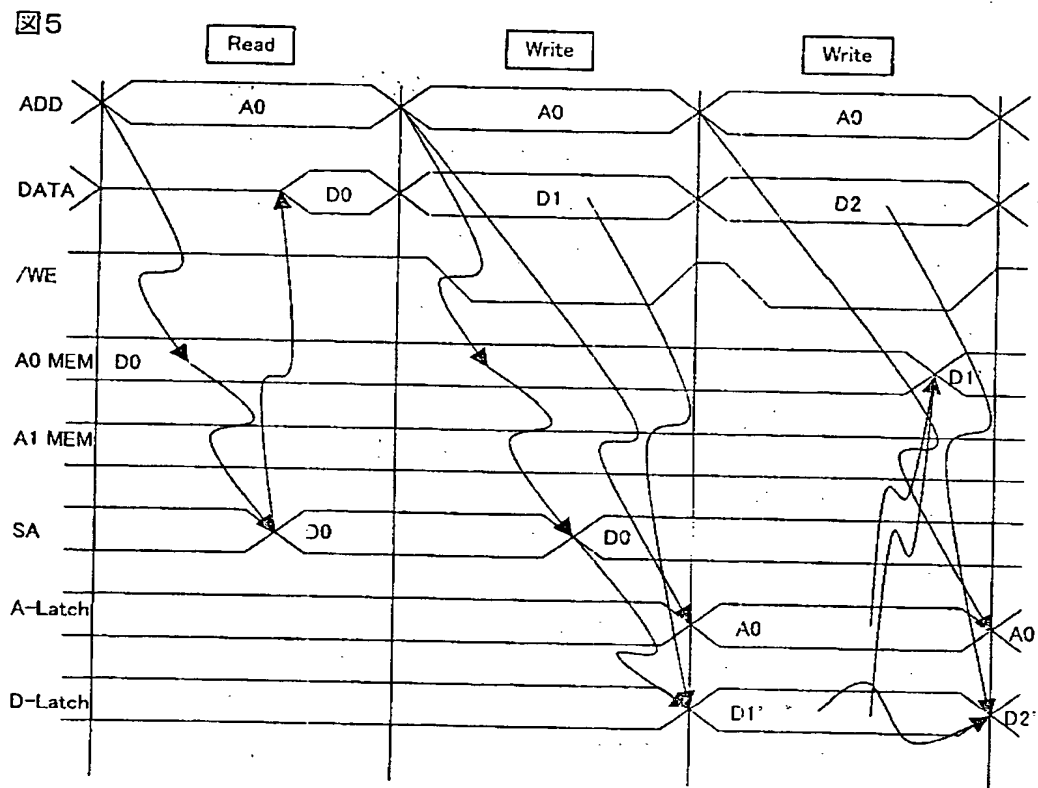
図 3



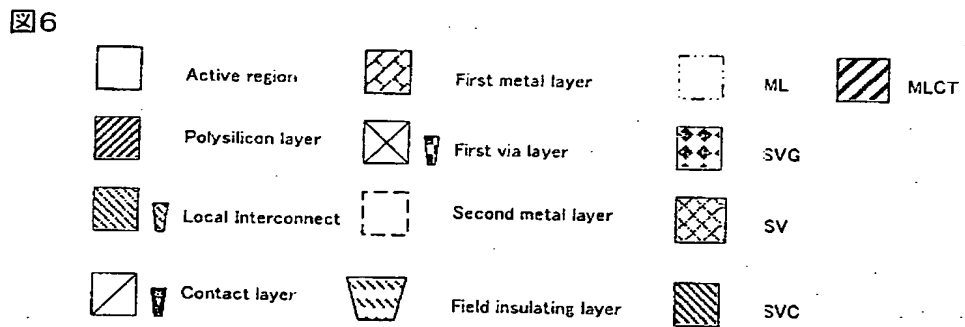
【図 4】



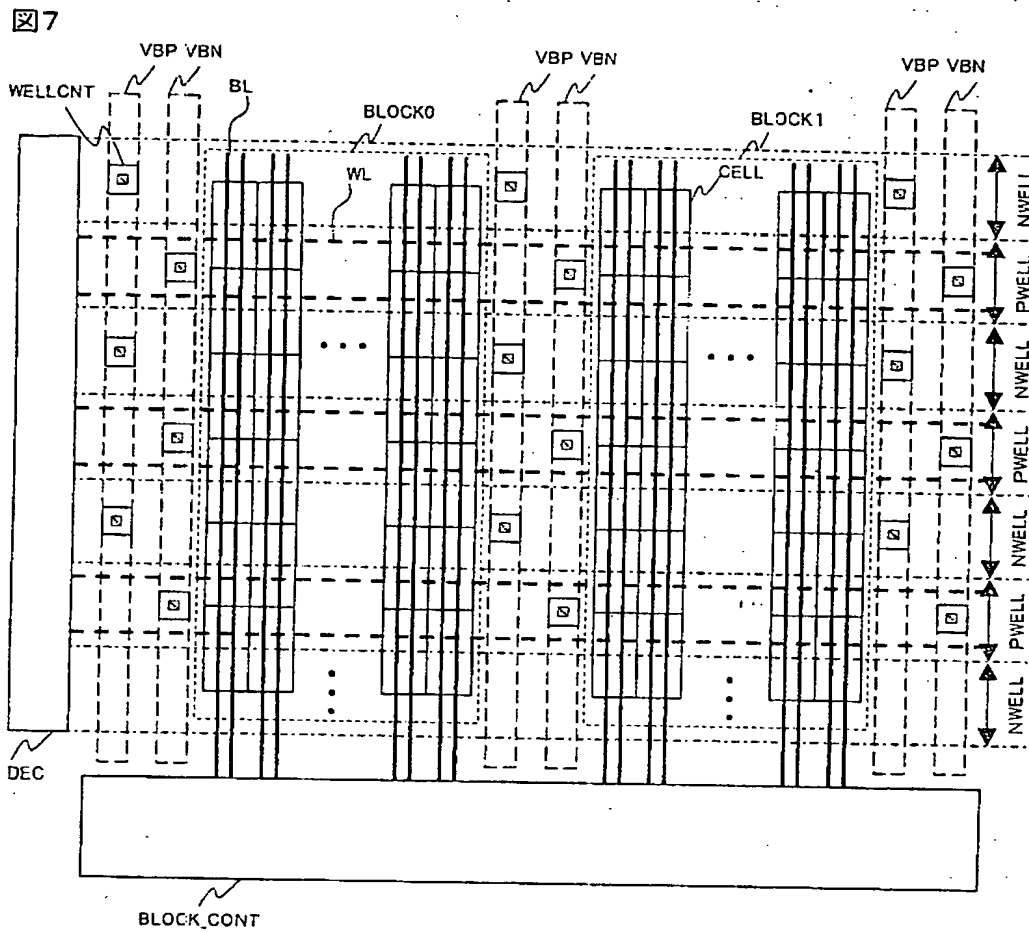
【図 5】



【図 6】

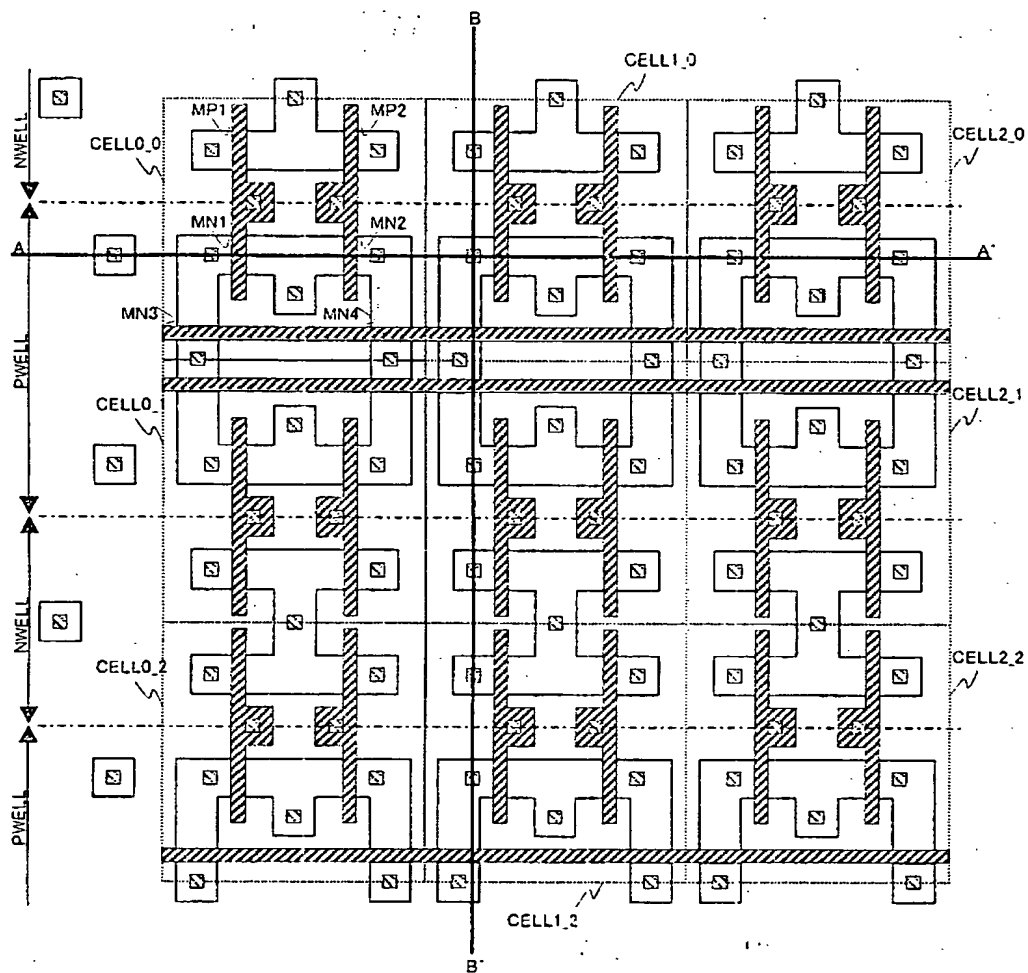


【図 7】



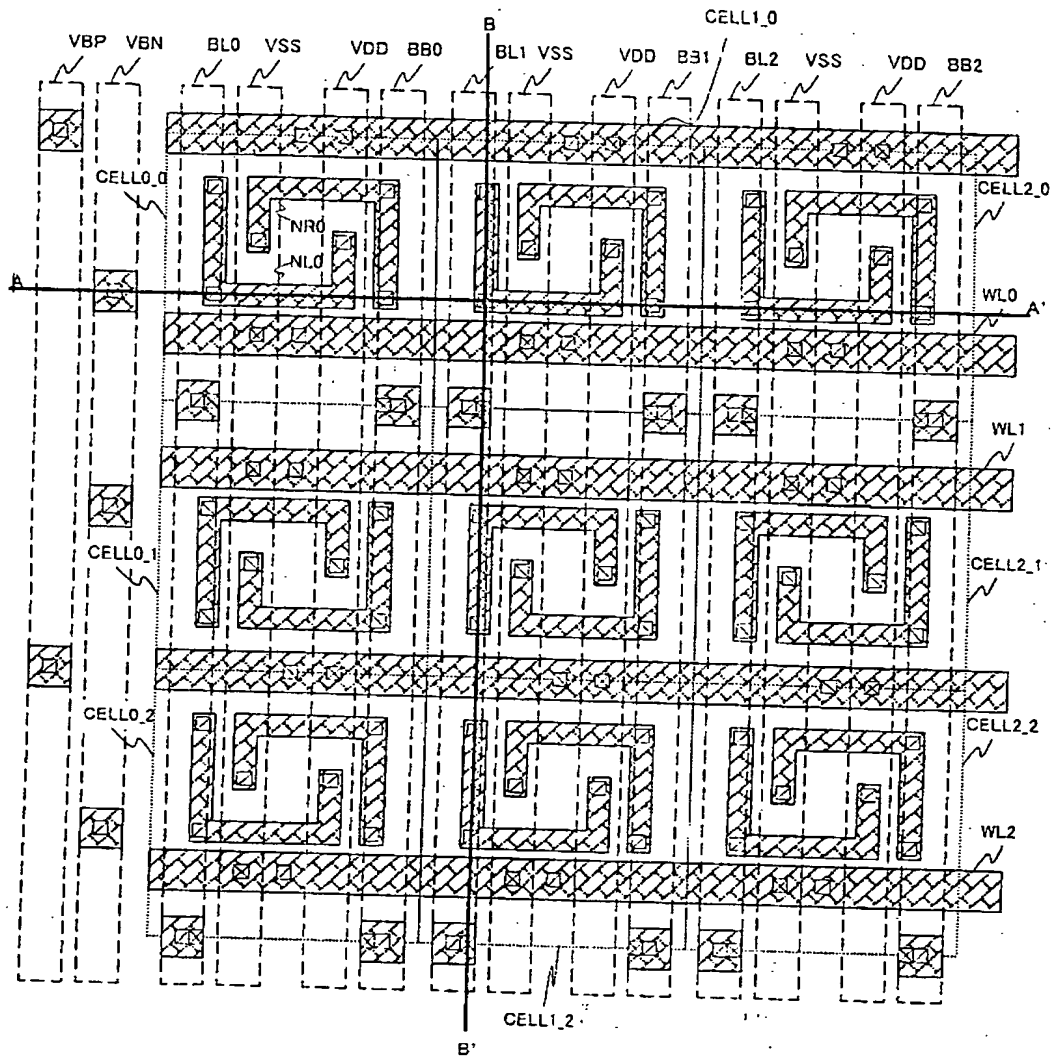
【図 8】

図 8



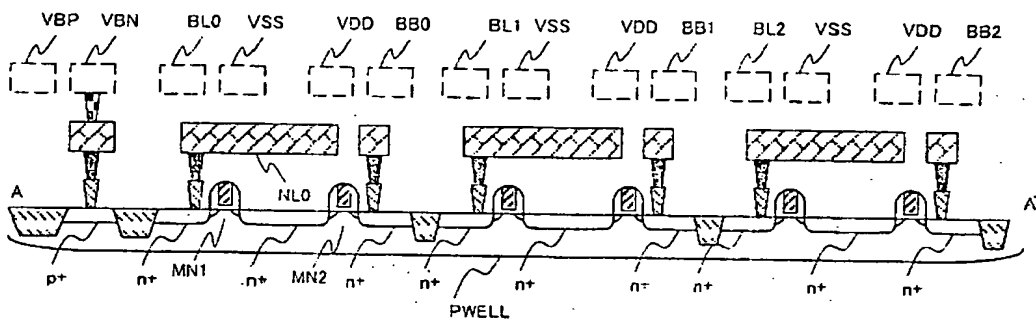
【図 9】

図9



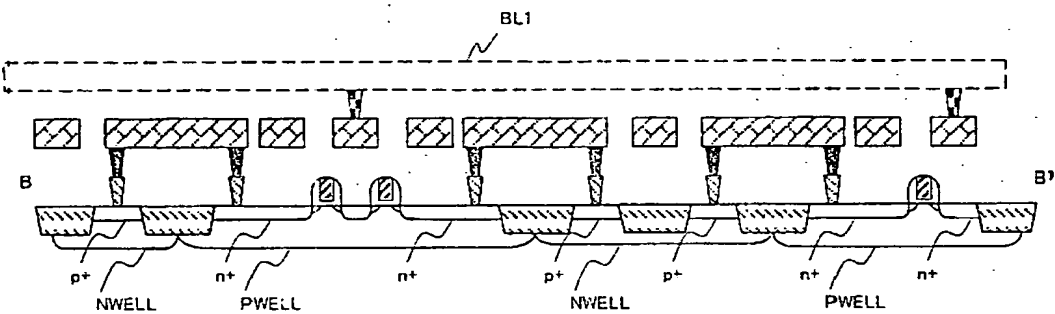
【図10】

図10



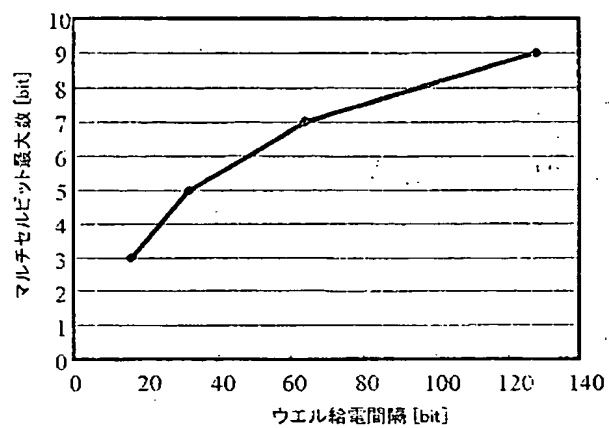
【図11】

図11

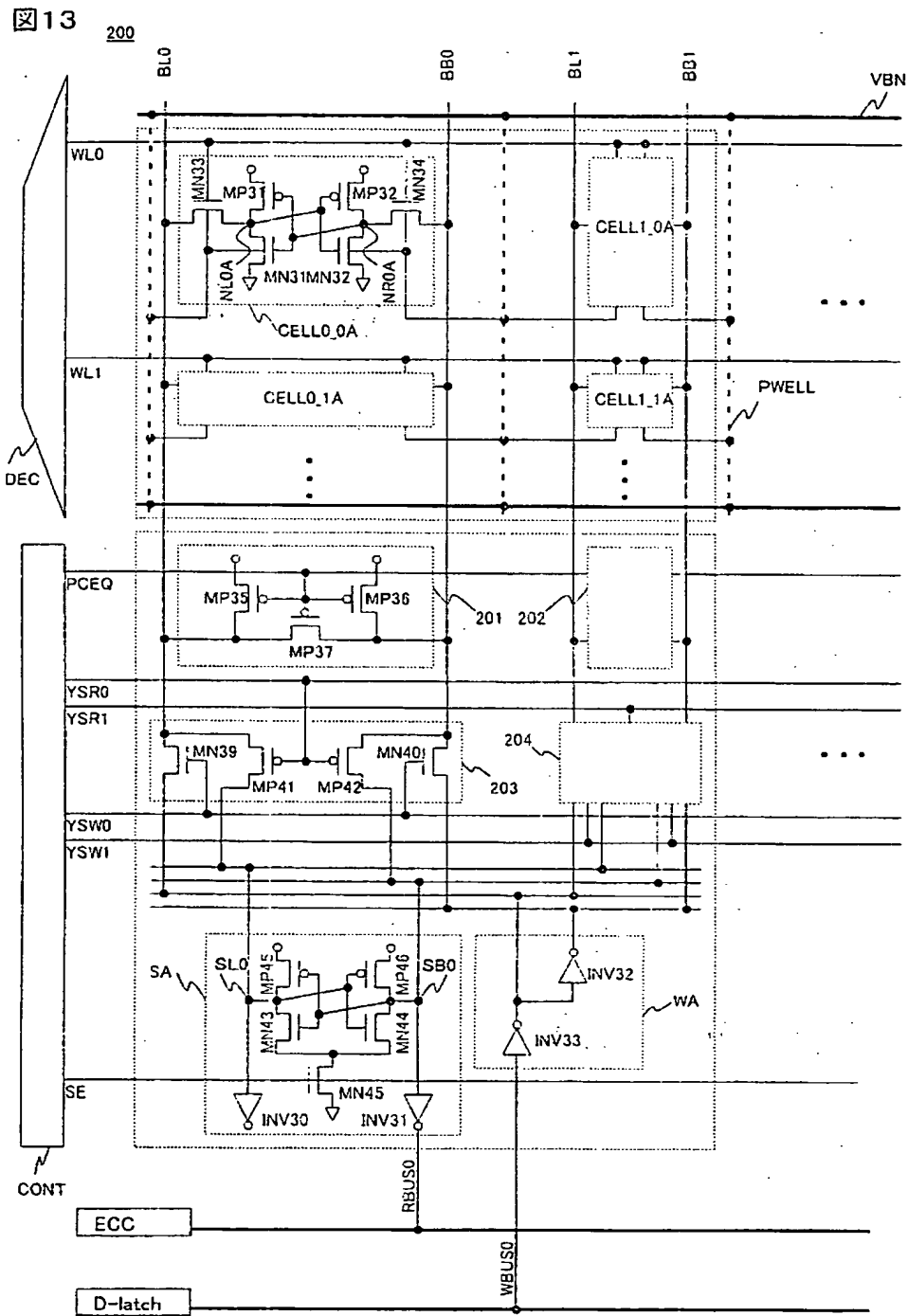


【図 12】

図 12

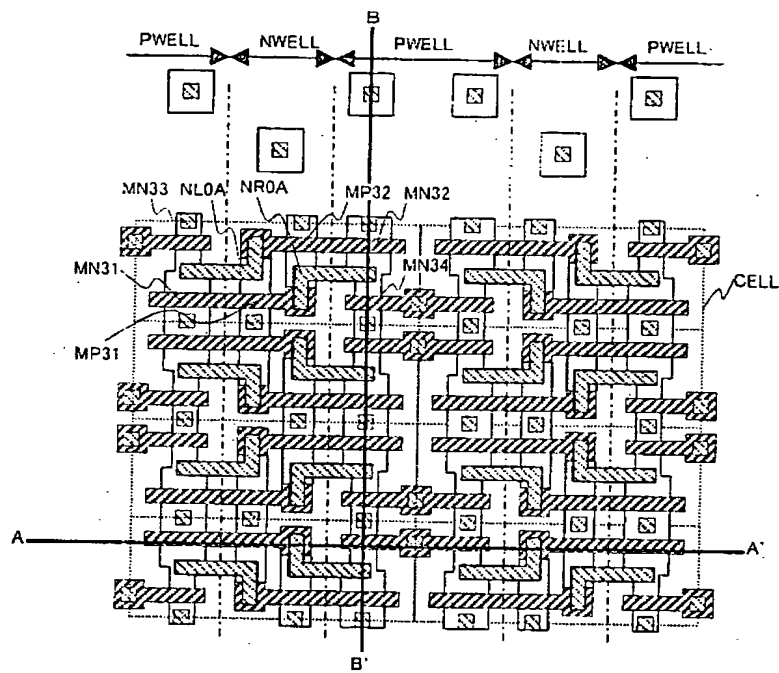


【図 13】

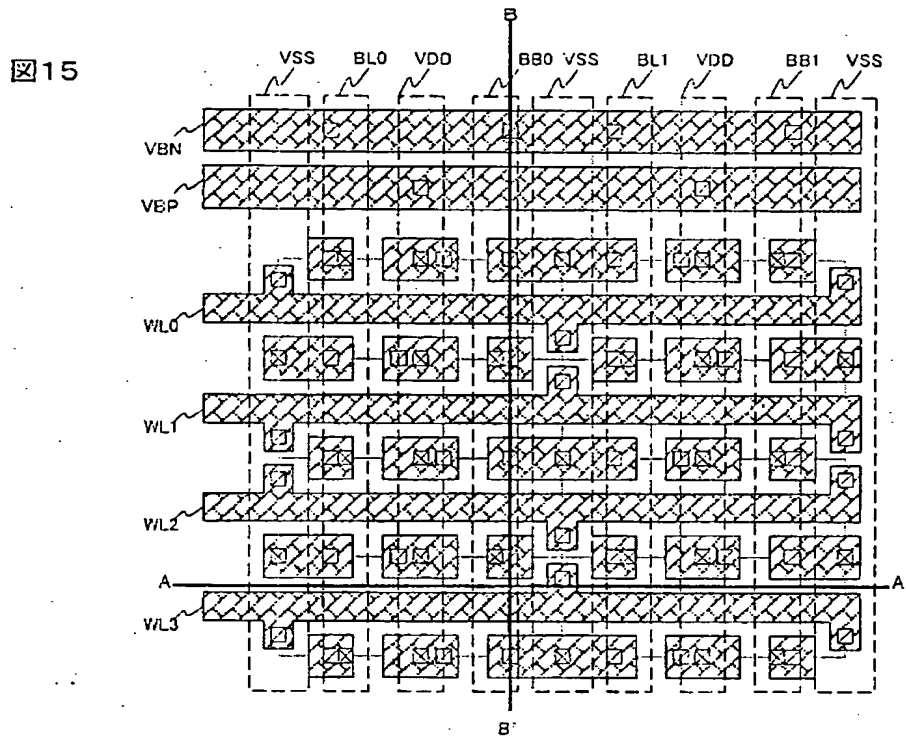


【図 14】

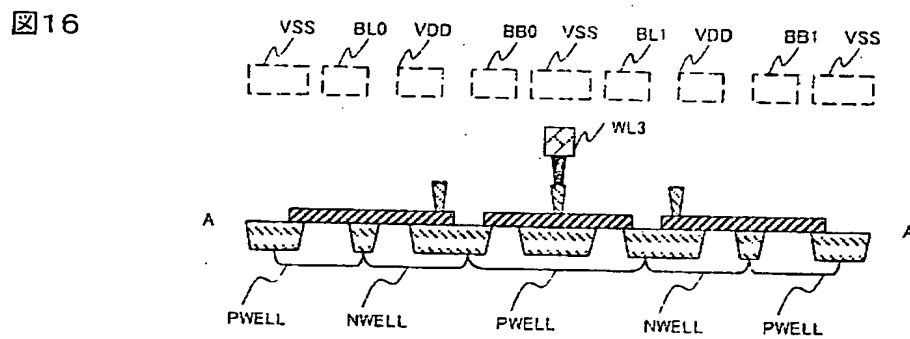
図 14



【図15】

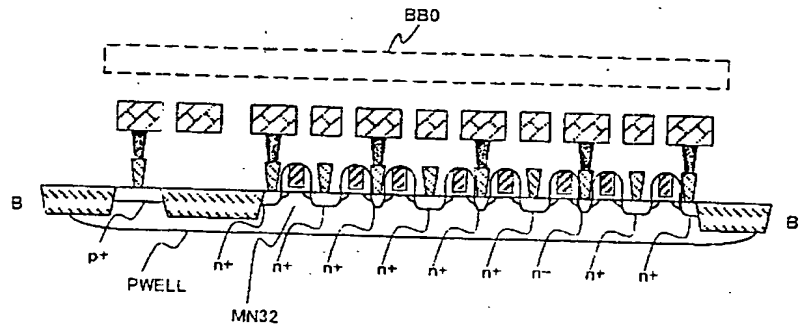


【図16】



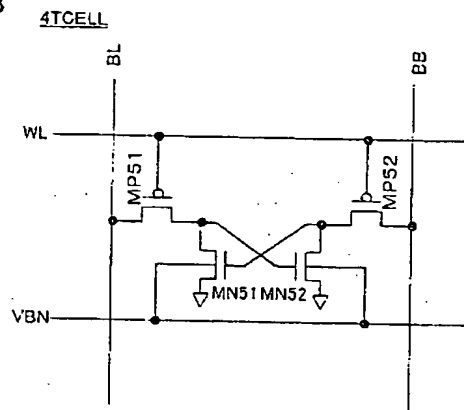
【図 17】

図 17



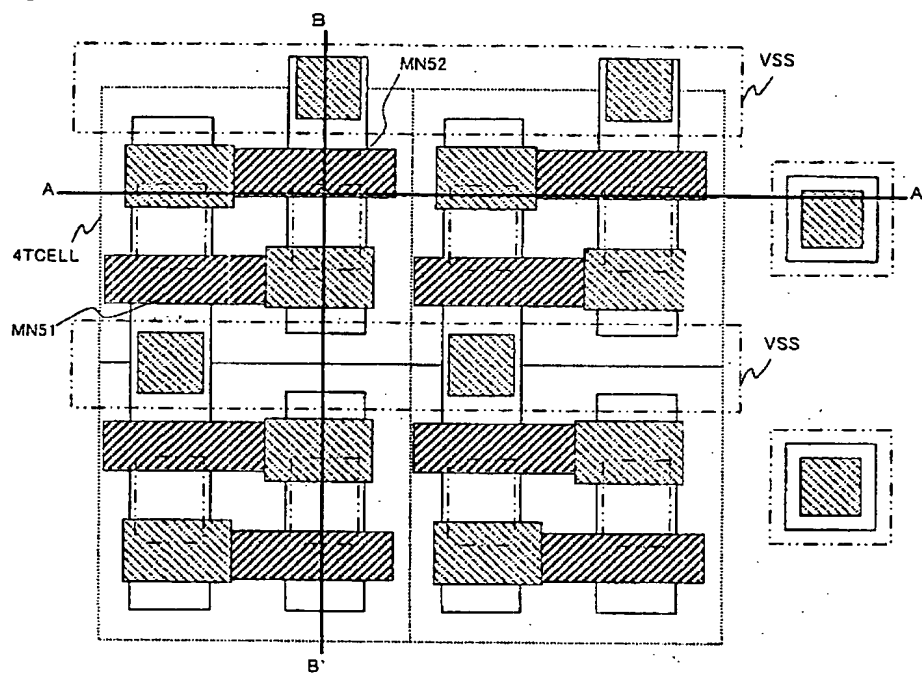
【図 18】

図 18



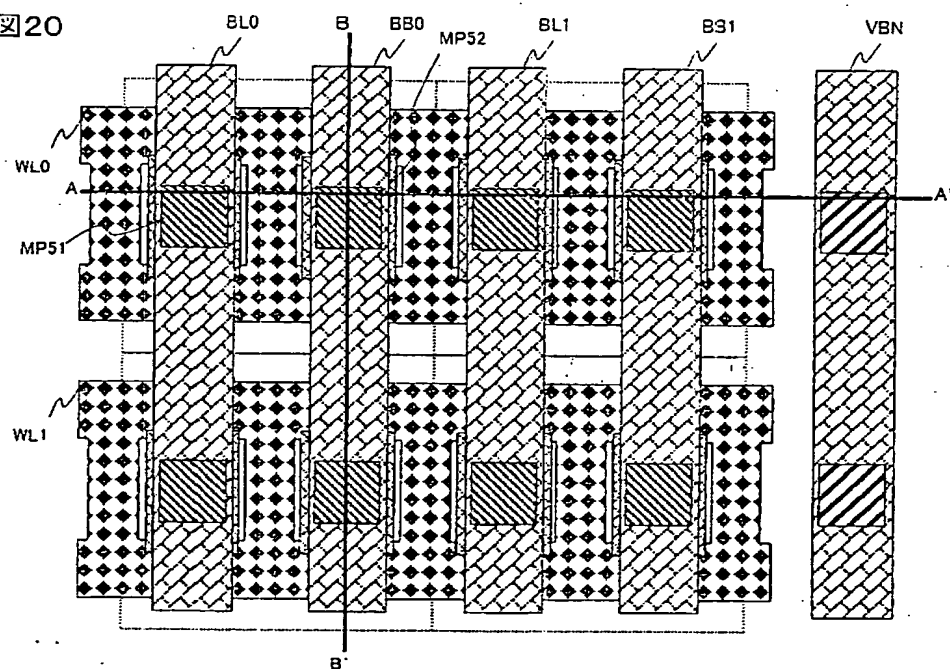
【図 19】

図 19



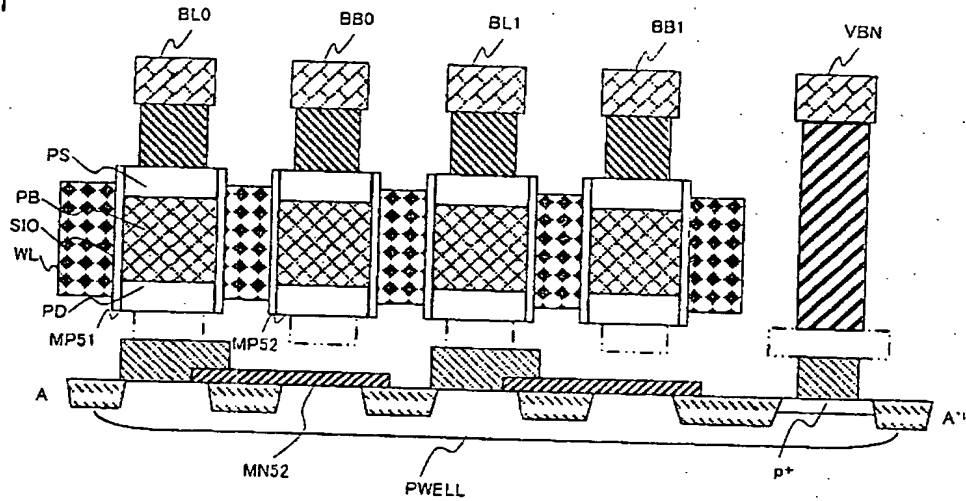
【図 20】

図 20



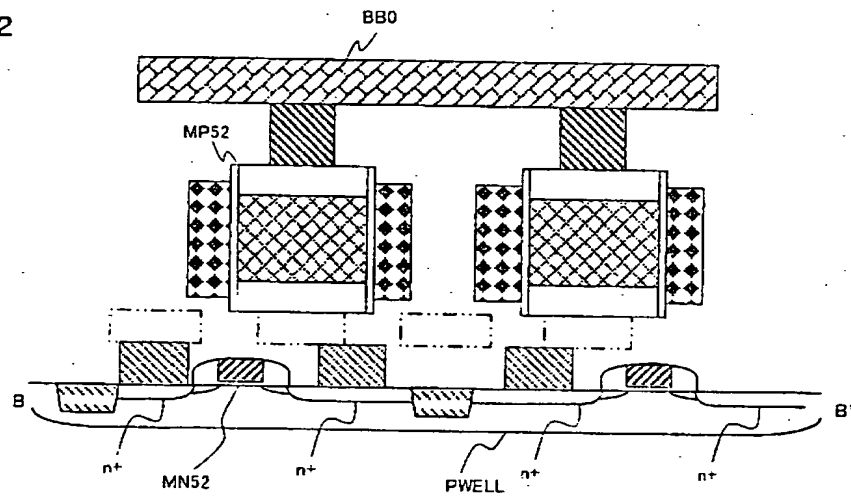
【図 21】

図 21



【図 22】

図 22



【書類名】 要約書

【要約】

【課題】 エラー訂正を行うためECC回路を搭載した場合、書き込みサイクル時間が増大し、また、宇宙線によるマルチビットエラーによりECC回路によるエラー訂正が困難となっていた。

【解決手段】 複数のメモリセルと、エラー訂正回路を具備してなり、書き込み動作をレイトライト方式で行ない、書き込みと並行してECC処理を行うことにより、サイクル時間を短縮する半導体装置である。さらに、メモリセルにウエル給電がなされた場合に、ウエル給電の間には同一アドレスを割り当てないことを特徴とする半導体装置である。

【効果】 本発明によれば、サイクル時間を短縮して、ECCによる効果的なエラー訂正が可能となる。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2002-378947
受付番号	50201981617
書類名	特許願
担当官	第七担当上席 0096
作成日	平成15年 1月 6日

<認定情報・付加情報>

【提出日】	平成14年12月27日
-------	-------------

次頁無

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-378947

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【提出物件の目録】

【包括委任状番号】 0308729

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 1 - 2 5 1 8 8 9 号 同日提出の出願人
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2002-378947
受付番号	50301402891
書類名	出願人名義変更届 (一般承継)
担当官	末武 実 1912
作成日	平成15年11月 4日

<認定情報・付加情報>

【提出日】	平成15年 8月26日
-------	-------------

特願 2 0 0 2 - 3 7 8 9 4 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1 . 変 更 年 月 日

1 9 9 0 年 8 月 3 1 日

[変 更 理 由]


新 規 登 録

住 所

東 京 都 千 代 田 区 神 田 駿 河 台 4 丁 目 6 番 地

氏 名

株 式 会 社 日 立 製 作 所



特願 2 0 0 2 - 3 7 8 9 4 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 3 1 6 9]

1 . 変 更 年 月 日

1 9 9 8 年 4 月 3 日

[変 更 理 由]

名 称 変 更

住 所

東 京 都 小 平 市 上 水 本 町 5 丁 目 2 2 番 1 号

氏 名

株 式 会 社 日 立 超 エ ル ・ エ ス ・ ア イ ・ シ ス テ ム ズ

特願 2 0 0 2 - 3 7 8 9 4 7

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ